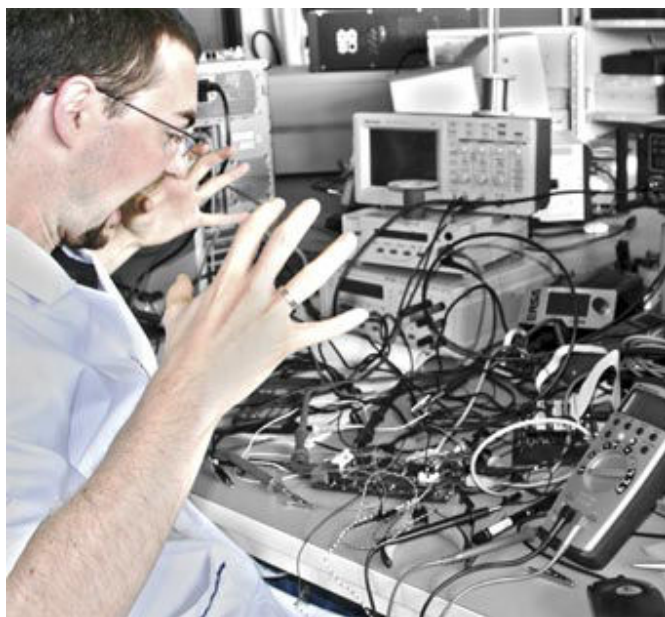


JTAG/Boundary Scan – ein Verfahren zur Überwindung von Zugriffsproblemen in der Entwicklung von elektronischen Baugruppen

von Dipl.-Ing.(FH) Mario Berger, GÖPEL electronic GmbH



Vorwort

JTAG/Boundary Scan hält in immer größerem Maße Einzug gerade auch in die Entwicklungsabteilungen großer wie kleiner Unternehmen. Die Ursache dafür liegt zum Einen in dem enormen Potenzial, das dieses mittlerweile etablierten Testverfahren bietet, zum Anderen in den Problemen, welche die immer kompakter werdenden Baugruppen und Bauformen bei Testmethoden mit benötigten mechanischem Zugriff mit sich bringen. Moderne BGA-Gehäuse wie auch High-Speed-Übertragungsstrecken verlangen nach neuen Lösungsansätzen.

JTAG/Boundary Scan bietet hier eine exzellente wie auch effektive Einsatzmöglichkeit. Doch was ist nun das Außergewöhnliche an diesem Testverfahren, und wie profitiert man als Entwickler davon? Worauf muss man beim Design einer Leiterplatte achten, damit man Boundary Scan nutzen kann? Mit diesen Fragen beschäftigen sich die nachfolgenden Ausführungen.

JTAG/Boundary Scan in der Entwicklung?

Wieso das denn? Reicht es nicht schon, dass man als Entwickler seine Leiterplatte filigran und unter Beachtung einiger Restriktionen mit Testpunkten zupflastern muss? Soll man jetzt womöglich selbst noch die Tests schreiben? Wozu denn all der Aufwand? Dazu muss man zuvor ein paar Dinge klären.

Was wird für die Testgenerierung benötigt? Man muss zunächst einmal wissen, welche Bauteile welchen Typs sich auf der Leiterplatte befinden, und wie die einzelnen Pins der Bauteile untereinander verbunden sind. Den Bauteiltypen müssen dann noch entsprechende Modelle zugeordnet werden. So gibt es z.B. zu jedem Boundary-Scan-fähigen Bauteil ein Modell, welches die Boundary-Scan-Struktur des ICs beschreibt, das so genannte BSDL (Boundary Scan Description Language) Modell. Je nach Anbieter gibt es dann noch verschiedene Modelle, um die nicht Boundary-Scan-fähigen Bausteine, wie etwa RAM-Bausteine oder Treiber-ICs zu beschreiben.

Das ist aber auch schon die einzige Voraussetzung, um Tests für eine Baugruppe generieren zu können.

Die Modelle liefert das Testsystem, und die benötigten CAD-Daten beschränken sich auf eine Netz- und Bauteilliste. Diese können aus dem Schaltplan gewonnen werden, der üblicherweise in einem sehr frühen Entwicklungsstadium einer Baugruppe vorhanden ist. Der Vorteil: Man kann Probleme, die bei der Testgenerierung möglicherweise auftreten, leicht beheben oder auch ein für die Testtiefe ungünstiges Design extrem schnell und einfach abändern. Aber das ist längst nicht alles.

Die generierten Tests stehen bereits für den ersten Prototyp zur Verfügung. Dieser kann also ab sofort mit exakt derselben Qualität geprüft werden wie die 0-Serie und letztlich das Serienprodukt; gleiche Testtiefe, gleiche Pin-genaue Fehleraussage. Da man den für Boundary Scan notwendigen Testbus auf dem Prüfling bereits adaptierbar gestaltet hat (z.B. über einen Steckverbinder), kann man über diese Schnittstelle auch die FPGAs oder CPLDs laden bzw. den Bootloader in den Programmflash ablegen. Die daraus resultierenden Einsparungen sind offensichtlich.

Klingt ja alles erst mal gar nicht so schlecht. Aber wieso soll nun ausgerechnet der Entwickler die Tests erstellen? Das ist doch die Aufgabe des Prüffelds – inklusive aller damit verbundenen Probleme.

Doch:

1. Keiner kennt die Baugruppe besser als der Entwickler!
 - Angefangen bei den Bauteilbezeichnungen ...
 - Wo befinden sich die Brennpunkte?
 - Ist ein hoher Testaufwand gerechtfertigt?

- Designänderungen für eine Erhöhung der Testtiefe sind schnell realisiert – daraus folgt eine optimale prüfgerechte Gestaltung der Baugruppe.

Das alles führt zu einer effektiven Testerstellung und zu einem effektiven Testen.

2. Bereits der erste Prototyp kann mit den gleichen Tests überprüft werden wie das Serienprodukt.

- Ergo ergibt sich die gleiche Testtiefe
- Außerdem kann man eine gleiche, Pin-genaue Fehleraussage treffen

Das wiederum führt zu einer effektiven Inbetriebnahme der Prototypen wie auch der 0-Serien unter Serienbedingungen.

3. Optimale Schnittstelle bei Lohnfertigung

- Das Testarchiv wird einfach an den Lohnfertiger übergeben. Es besteht also auch kein Abstimmungsbedarf für Testerstellung und Testumfang seitens des Lohnfertigers.
- Änderungen der Tests sind schnell selbst realisiert.

Der Testaufwand für den Lohnfertiger ist somit äußerst gering (er muss lediglich das Testequipment bereitstellen), wodurch auch die Kosten minimal ausfallen.

Insgesamt also eine nicht zu verachtende Anzahl an Vorteilen, von denen zum größten Teil der Entwickler profitiert. Das wiegt demnach den doch überschaubaren Aufwand für die Testerstellung mehr als auf.

Was ist JTAG/Boundary Scan?

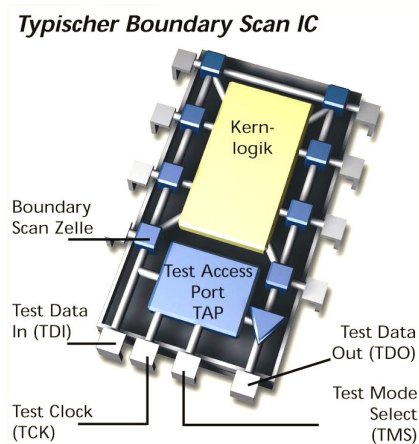


Abb. 1: Boundary Scan fähiges Bauteil

Bei JTAG/Boundary Scan handelt es sich um ein das weltweit einzige standardisierte elektrische Testverfahren (IEEE 1149.x). Das Stimulieren und Messen der einzelnen Leiterbahnen einer Flachbaugruppe erfolgt nicht mehr über vorher festgelegte Testpunkte und der daran angeschlossenen Messtechnik, sondern über die im Bauteil integrierten Boundary-Scan-Zellen. Der Aufbau eines solchen Bauteils ist in Abbildung 1 dargestellt. Die notwendige Informationsübertragung zwischen dem Testsystem und den Boundary-Scan-Bauteilen erfolgt über einen standardisierten vierdrahtigen Testbus. Dieser muss im Layout der Leiterplatte berücksichtigt werden, und ersetzt sozusagen die Testpunkte, die für einen In-Circuit Test (ICT)

oder Flying Probe Test (FPT) eingeplant werden würden. Ein Testsystem muss somit auch nur über einen Anschluss für diesen Testbus verfügen.

Da man keine Testpunkte mehr benötigt, ergeben sich nicht die zunehmenden Probleme, vor denen der ICT wie auch der FPT stehen. Bei genauerer Betrachtung von Abbildung 1 wird man feststellen, dass sich die Boundary-Scan-Zellen zwischen dem Pin des Bauteils und dessen innerer Logik befinden. Die innere Logik spielt somit für das Testen der Leiterbahnen einer Flachbaugruppe keinerlei Rolle mehr. Es ist egal, ob es sich um einen Prozessor oder ein PLD handelt.

Wie funktioniert ein Test mit Boundary Scan? Abbildung 2 soll dies verdeutlichen. Begonnen wird damit, dass der Boundary-Scan-fähige Baustein in den externen Test Mode geschaltet (EXTEST) wird. Dies geschieht über ein Signalspiel an Test Clock (TCK) und Test Mode Select (TMS) sowie das Einschleusen des entsprechenden Befehls über den Test Data Input (TDI). Ab diesem Moment wird die innere Logik des Bausteins von den Pins getrennt. Es ist nun einzig und allein die Boundary-Scan-Zelle

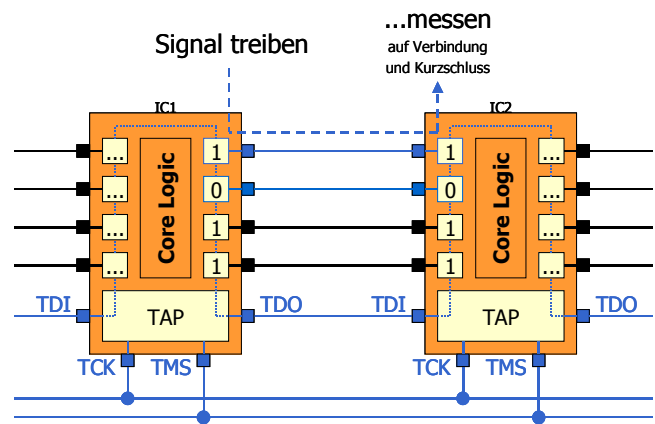


Abb. 2: Testschritt mit Boundary Scan

für den Signalpegel am Pin des Bausteins verantwortlich. Wird diese mit 1 geladen, so wird ein HIGH-Pegel getrieben, bei 0 entsprechend ein LOW-Pegel. An jedem Pin befindet sich üblicherweise auch eine Boundary-Scan-Zelle zum Messen des anliegenden Pegels. Hierüber können die Testmuster entsprechend verifiziert und somit die Verbindungen überprüft werden. Ganz einfach also.

Design-for-Testability

Bei Boundary Scan gibt es – wie bei anderen Testverfahren auch – Design-Regeln, die man beachten sollte. Lässt man den einen oder anderen Punkt außer Acht, so kann die erzielbare Testtiefe erheblich beeinträchtigt werden oder im Extremfall komplett verloren gehen. Und nichts ist „trauriger“ als eine Baugruppe, die aufgrund einer einzigen fehlenden Verbindung nicht getestet werden kann. Angst vor möglicherweise „vielen“ Designregeln ist allerdings nicht angebracht. Eine gute Software bietet nämlich eine Unterstützung zur Einhaltung dieser Regeln. Es unterstreicht aber einmal mehr, dass es äußerst sinnvoll ist, die Testerstellung in eine sehr frühe Entwicklungsphase des Produktes zu legen. Denn steht das Layout einmal fest, so lassen sich die Dinge nur relativ schwer ändern.

Zusammenfassung

JTAG/Boundary Scan ist nicht nur das effektivste Testverfahren für das Prüfen digitaler Bausteine, es bietet insbesondere in der Entwicklung eine Reihe von Vorteilen, die dem Entwickler völlig neue Lösungsansätze und eine zuvor nicht erreichbare hohe Qualität ermöglichen. In diesem Zusammenhang sollten erwähnt werden:

- die vollwertige Prüfung bereits ab dem ersten Prototyp in Serienqualität
- In-System Programmierung und Testen über ein und die selbe Schnittstelle
- optimale Schnittstelle zur Lohnfertigung

Dagegen scheinen die Anforderungen, die Boundary Scan an Equipment, Know-How und Design-for-Testability stellt, fast schon verschwindend gering.

Mit zunehmendem Trend zu immer kompakteren Gehäuseformen, die kaum noch mechanischen Zugriff auf Pins ermöglichen sowie den steigenden Integrationsdichten, die keine Testpunkte mehr zulassen, gehört Boundary Scan die Zukunft. Und die Zukunft fängt in den Entwicklungsabteilungen und in den Köpfen der Entwickler an...

Sie möchten mehr zu JTAG/Boundary Scan wissen? Fragen Sie uns.

Unsere Mitarbeiter stehen Ihnen sehr gern zur Verfügung. Sie erreichen uns unter sales@goepel.com

Telefon: 03641-68960